

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

**CAPACITOR COMPRISING ALUMINA/ALUMINUM NITRIDE
COMPOSITE DIELECTRIC FILM FORMED BY ATOMIC LAYER
VAPOR-DEPOSITION METHOD, AND ITS MANUFACTURE**

**CAPACITOR COMPRISING ALUMINA/ALUMINUM NITRIDE
COMPOSITE DIELECTRIC FILM FORMED BY ATOMIC LAYER
VAPOR-DEPOSITION METHOD, AND ITS MANUFACTURE**

Patent Number: JP2000058777
Publication date: 2000-02-25
Inventor(s): RI SHOKO;; KIN EIKAN;; RI SOMIN;; SAI JOSAI
Applicant(s): SAMSUNG ELECTRONICS CO LTD
Requested Patent: ☐ JP2000058777
Application Number: JP19980363259 19981221
Priority Number(s):
IPC Classification: H01L27/108; H01L21/8242
EC Classification:
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To trigger no chemical reaction even when a conductive polysilicon is used as a lower part electrode in succession in a semiconductor DRAM process, by forming a composite dielectric film comprising an alumina layer and an aluminum nitride layer on the upper part of a conductive layer with a pattern by an atomic layer vapor-deposition method.

SOLUTION: A silicon oxide film 101 is formed on a semiconductor substrate 100 first, and a storage polysilicon 102 is formed as a lower part electrode constituting a charge storage capacitor, over which an alumina 103 is formed by an atomic layer vapor-deposition method. Being amorphous, the alumina film is excellent in step coverage, almost to 100%. Then the alumina layer 103 and an aluminum nitride layer 104 are repeatedly formed by the atomic layer vapor-deposition method in situ, forming an Al₂O₃/AlN composite dielectric thin film 115, over which a doped polysilicon is vapor-deposited to form the upper part electrode of a DRAM capacitor.

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-58777

(P2000-58777A)

(43) 公開日 平成12年2月25日 (2000.2.25)

(51) Int.Cl.⁷

H 0 1 L 27/108

21/8242

識別記号

F I

H 0 1 L 27/10

6 5 1

テマコード* (参考)

5 F 0 8 3

審査請求 未請求 請求項の数19 O L (全 9 頁)

(21) 出願番号 特願平10-363259

(22) 出願日 平成10年12月21日 (1998.12.21)

(31) 優先権主張番号 9 8 P 3 2 6 3 8

(32) 優先日 平成10年8月12日 (1998.8.12)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李鍾鎬

大韓民国京畿道軍浦市山峰洞極東アパート

966棟604号

(72) 発明者 金榮寛

大韓民国京畿道城南市盆唐区瑞▲けん▼洞

87番地ハンシンアパート112棟1501号

(74) 代理人 100072349

弁理士 八田 幹雄 (外3名)

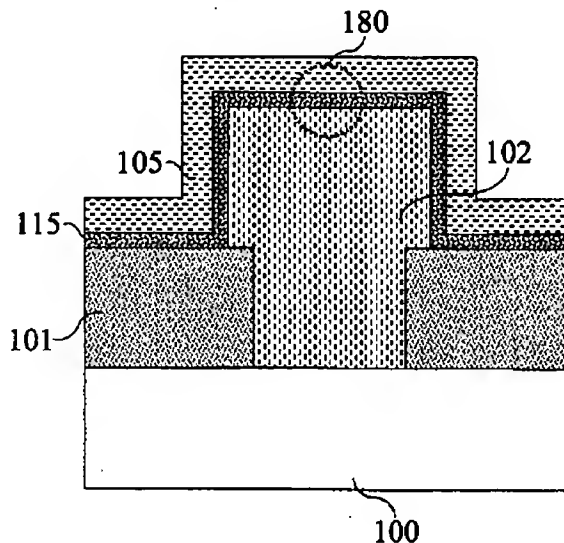
最終頁に続く

(54) 【発明の名称】 原子層蒸着方法で形成したアルミナ/アルミニウムナイトライド複合誘電体膜を持つキャパシタとその製造方法

(57) 【要約】

【課題】 半導体装置及びその製造方法に関し、特にS I S構造の電極形態を持つ、固有全体薄膜を具備したD R A Mキャパシタ及びその製造方法を提供する。

【解決手段】 本発明の半導体装置は、原子層蒸着 (A L D) 方式を利用し、アルミナ/アルミニウムナイトライド ($A l_2 O_3 / A l N$) 又は、アルミニウムナイトライド/アルミニウムオキシ (oxy) ナイトライド ($A l N / A l O N$) の複合誘電体薄膜を電極間誘電体物質で形成することにより、導電性ポリシリコンをキャパシタ電極に使用しても、電極との置換等、化学的反應を起こすことがなく、良好なステップカバレッジを持ち、薄膜内の残留問題を最小化した高誘電体薄膜を具備するD R A Mキャパシタを具現する。また、これと同様に、本発明のD R A M電荷蓄積用キャパシタは、良好な酸化力と優秀な絶縁特性を持つ。



【特許請求の範囲】

【請求項1】 半導体基板上に導電層を形成する段階；上記の導電層を各セル単位で限定されるようにパターンニングし、導電層パターンを形成する段階；上記のパターン形成された導電層上部に原子層蒸着（ALD）方式でアルミナ（ Al_2O_3 ）層とアルミニウムナイトライド（ AlN ）層の複合誘電体膜を形成する段階；および上記複合誘電体膜上部に導電層を形成する段階を具備すること特徴とするDRAMキャパシタ製造方法。

【請求項2】 上記の複合誘電体膜を形成する段階は、トリメチルアルミニウム（TMA）をソースガスとして基板温度を300～450℃に維持し、原子層蒸着（ALD）方式でアルミナ層とアルミニウムナイトライド層を交代で反復し、複合誘電体膜を形成する段階を含む請求項1に記載のDRAMキャパシタ製造方法。

【請求項3】 上記の複合誘電体膜を形成する段階は、アルミニウムクロライドをソースガスとし、基板温度を450～600℃に維持し、原子層蒸着（ALD）方式でアルミナ層とアルミニウムナイトライド層を交代で反復して複合誘電体膜を形成する段階を含む請求項1に記載のDRAMキャパシタ製造方法。

【請求項4】 上記の複合誘電体膜を形成する段階は、選定されたソースガス流入順序により、原子層蒸着（ALD）方式でアルミナ層とアルミニウムナイトライド層を交代で反復し、所定の厚さの複合誘電体膜を形成する段階を含む請求項1に記載のDRAMキャパシタ製造方法。

【請求項5】 上記の選定されたソースガス流入順序は、トリメチルアルミニウム（TMA）ソースと H_2O ソース及び、 NH_3 ソースを所定の時間の間、ガスパルス形態で流入させ、上記のTMAソース流入、 H_2O ソース流入及び、 NH_3 ガスソース流入の中間にバージのための不活性気体を流入させる請求項4に記載のDRAMキャパシタ製造方法。

【請求項6】 上記のアルミニウムナイトライド層と上記のアルミナ膜の複合誘電膜を交代で形成する段階は、TMAソース、バージ、 H_2O ソース、バージ、TMAソース、バージ、 NH_3 ソース及び、バージの8段階を単位サイクルとし、上記の単位サイクルを反復する回数によって上記の所定の厚さを調節する請求項4に記載のDRAMキャパシタ製造方法。

【請求項7】 上記の選定されたソースガス流入順序は、アルミニウムクロライド（ AlCl_3 ）ソースと H_2O ソース及び、 NH_3 ソースを所定の時間の間ガスパルス形態で流入させ、上記アルミニウムクロライド（ AlCl_3 ）ソース流入、 H_2O ソース流入及び、 NH_3 ガスソース流入の中間にバージのための不活性気体を流入させる請求項4に記載のDRAMキャパシタ製造方法。

【請求項8】 上記のアルミニウムナイトライド層と上記アルミナ膜の複合誘電膜を交代で形成する段階は、ア

ルミニウムクロライド（ AlCl_3 ）ソース、バージ、 H_2O ソース、バージ、アルミニウムクロライド（ AlCl_3 ）ソース、バージ、 NH_3 ソース及び、バージの8段階を単位サイクルとして、上記の単位サイクルを反復する回数により、上記の所定の厚さを調節する請求項4に記載のDRAMキャパシタ製造方法。

【請求項9】 上記の不活性気体は、窒素（ N_2 ）、アルゴン（argon）（Ar）、又は、ヘリウム（He）のうち、いずれか一つである請求項4または請求項7に記載のDRAMキャパシタ製造方法。

【請求項10】 半導体基板上に導電層を形成する段階；上記の導電層を各セル単位に限定するようにパターンニングし、導電層パターンを形成する段階；上記のパターン形成された導電層上部に原子層蒸着（ALD）方式でアルミニウムナイトライド（ AlN ）層を形成する段階；上記のアルミニウムナイトライド層上部にアルミニウムオキシナイトライド（ AlON ）層を形成する段階；および上記のアルミニウムオキシナイトライド層上部に導電層を形成する段階を具備することを特徴とするDRAMキャパシタ製造方法。

【請求項11】 上記のアルミニウムオキシナイトライド（ AlON ）層を形成する段階は、上記のアルミニウムナイトライド（ AlN ）を酸素雰囲気中で熱処理する段階を含む請求項10に記載のDRAMキャパシタ製造方法。

【請求項12】 上記の半導体基板上に形成された上記導電層はドーピングされたポリシリコンを含む請求項1または請求項10に記載のDRAMキャパシタ製造方法。

【請求項13】 上記の導電層にパターンを形成する段階は、HSGスタックポリシリコン電極を形成する段階を含む請求項1または請求項10に記載のDRAMキャパシタ製造方法。

【請求項14】 上記の導電層にパターンを形成する段階は、円筒タイプスタックポリシリコン電極を形成する段階を含む請求項1または請求項10に記載のDRAMキャパシタ製造方法。

【請求項15】 電荷蓄積用キャパシタを持つDRAM装置において、半導体基板上に形成されたスタックポリシリコン電極と；上記のスタックポリシリコン電極上部に形成されたアルミナ層とアルミニウムナイトライド層の複合誘電体膜と；上記の複合誘電体膜上部に形成されたプレートポリシリコン電極で構成されたことを特徴とするDRAMキャパシタ。

【請求項16】 上記の複合誘電体膜は、アルミナ—原子層アルミニウムナイトライド—原子層の積層を基本単位として、選定された回数だけ反復的に積層された構造を具備する請求項15に記載のDRAMキャパシタ。

【請求項17】 電荷蓄積用キャパシタを持つDRAM

装置において、半導体基板上に形成されたスタックポリシリコン電極と；上記スタックポリシリコン電極上部に形成されたアルミニウムナイトライド層と；上記アルミニウムナイトライド層上部に形成されたアルミニウムオキシナイトライド (ALON) 層と；上記アルミニウムオキシナイトライド層上部に形成されたプレートポリシリコン電極で構成されたことを特徴とするDRAMキャパシタ。

【請求項18】 上記のスタックポリシリコン電極は、HSGポリシリコン電極を含む請求項15または請求項17に記載のDRAMキャパシタ。

【請求項19】 上記のスタックポリシリコン電極は、円筒タイプスタックポリシリコン電極を含む請求項15または請求項17に記載のDRAMキャパシタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に高集積半導体DRAMの電荷蓄積用キャパシタ及びその製造方法に関する。

【0002】

【従来の技術】半導体基板上の単位面積当たり製造される半導体素子の集積度が増加するに伴い、データ蓄積用電荷キャパシタ (storage capacitor) が占有する空間も縮小している。したがって、与えられたデザインルール (design rule) の元で、許容された空間内に大容量のキャパシタンスを持つ電荷蓄積用キャパシタを製作することが必要になる。

【0003】このように、許容された空間内で、高いキャパシタンス値を持つ電荷蓄積用キャパシタを製作するために、半導体業界では、電荷蓄積用キャパシタの有効面積を極大化させる方法、又は、誘電率が大きい物質を電極間の絶縁物質に使用する方法などを基本とし、新しい電荷蓄積用キャパシタが開発されている。

【0004】電荷蓄積用キャパシタの有効面積を極大化させるための一技術として、ファザン (Fazan) 等は、アメリカ合衆国特許第5,278,091号において、スタック構造の下部電極上にHSG (hemispherical grain) シリコン薄膜を形成することにより、電荷蓄積用キャパシタのキャパシタンスを増大させる技術を開示している。

【0005】また、キタワ (T.Kittawa) などは、1992年度 International Conference on Solid State Devices and Materials 学会論文要約集第90頁、92頁に、タンタル (tantalum) 酸化膜 (Ta_2O_3) のような高誘電体膜を使用した256MビットDRAMの製造方法に関する技術を開示している。タンタル酸化膜またはBST ($Ba_xSr_{1-x}TiO_3$) 物質等は、誘電定数が高いため、大容量のキャパシタを製造できることが期待されているが、上記高誘電体膜を利用し、DRAMキャパシタを製作するためには多くの克服しな

ければならない工程上の問題点がある。すなわち、良好なステップカバレッジ (step coverage) を持つタンタル酸化膜を製造する為に、表面運動領域 (surface kinetic regime) の範囲である低温 (low temperature) で化学気相蒸着方式 (CVD; chemical vapor deposition) で薄膜を形成することにより、酸素欠乏問題及びハイドロカーボン (hydrocarbon) の薄膜内の残留問題、結晶性低下等による誘電率劣化現象、絶縁特性不良などの問題点を引き起こす可能性がある。

【0006】これと同様に、タンタル酸化膜の漏洩電流及び誘電率劣化などの問題点を解決するための手段として、紫外線オゾン ($UV-O_3$) 及び高温乾式酸素アニリング (dry O_2 anneal) などの工程が使用されている。すなわち、乾式酸素アニリングを通してタンタル酸化膜下部に生成される酸化膜は、タンタル酸化膜の絶縁特性を向上させ、グレイン境界面 (grain boundary) の絶縁性がおもわしくない所では、相対的に酸素の拡散が促進され、酸化膜が一層厚く形成されるので、漏洩電流問題を改善できるようになる。

【0007】一方、BST誘電体は、優秀な絶縁特性を確保するために、スコットキー障壁 (Schottky barrier height) の大きい金属電極の採用が必要である。また、金属電極とポリシリコンの間にオーミック接触 (ohmic contact) のための層、及び電極とポリシリコン間の化学的反応を防止するためのバリアメタル (barrier metal) の採用が必須である。

【0008】上記のBST誘電物質は、キャパシタの上下部電極形成のため、MIM (metal insulator metal) 構造を基本としており、前述したタンタル酸化膜は、MIS (metal insulator semiconductor) 又はMIM構造を採用しているため、上記高誘電物質を高集積DRAM工程に適用する為には、既存のシリコン酸化膜 (SiO_2) 及びONO (oxidenitrideoxide) 絶縁膜に適用された、ポリシリコンを利用したSIS (semiconductor insulator semiconductor) 構造が適用出来ないような工程上の負担が発生するようになる。

【0009】

【発明が解決しようとする課題】キャパシタの面積を増加させるための一手段として、当業界では、キャパシタの高さを増大させる方法が使われているが、図1を参照すればキャパシタの半径を減少させるほど、キャパシタの高さの増加による面積増加比率が増し、同じ容量のキャパシタを製作するために、等価酸化膜の厚さ (equivalent T_{ox}) を薄くしなければならないことが分かる。したがって、従来のONO誘電体膜より薄い等価酸化膜の厚さ (equivalent T_{ox}) を持つ構造に対しても、良好な絶縁特性を持つ電荷蓄積用キャパシタの開発が必要となる。

【0010】また、従来の半導体DRAM工程に採用されている導電性ポリシリコンを下部電極に継続して使用

しても、電極間誘電体物質との置換などの化学的反応を起こさず、良好なステップカバレッジ特性を見せる高誘電率薄膜を具備したキャパシタの開発が高集積DRAM製造のために要求される。

【0011】したがって、本発明の第1の目的は、高集積半導体DRAM工程に適用することができる電荷蓄積用キャパシタ及びその製造方法を提供することにある。

【0012】本発明の第2の目的は、上記第1の目的に加えて、大容量のキャパシタンスを持ちながらも、下部電極で導電性シリコンを使用することができ、良好な特性を持つ高集積DRAM電荷蓄積用キャパシタ及びその製造方法を提供することにある。

【0013】本発明の第3の目的は、上記第1の目的に加えて、良好な酸化力と優秀な絶縁特性を持ち、ハイドロカーボンの薄膜内の残留問題を最小化した、高誘電率の誘電体薄膜を具備した高集積DRAM電荷蓄積用キャパシタ及びその製造方法を提供することにある。

【0014】本発明の第4の目的は、上記第1の目的に加えて、従来のスタック (stacked) 型電荷蓄積用キャパシタの構造を変更することなく、後続の熱処理工程においても、下部電極物質のポリシリコンと反応することなく、安定した高誘電率誘電体膜を具備した高集積DRAM電荷蓄積用キャパシタ及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記の目的を達成するために、本発明は、半導体基板上に導電層を形成する段階；上記の導電層を各セル単位で限定されるようにパターンニングして導電層パターンを形成する段階；上記パターン形成された導電層上部に原子層蒸着 (atomic layer deposition; ALD) 方式でアルミナ (Al_2O_3) 層とアルミニウムナイトライド (AlN) 層の複合誘電体膜を形成する段階；および上記の複合誘電体膜上部に導電層を形成する段階を具備することを特徴とするDRAMキャパシタ製造方法を提供する。

【0016】本発明の別の目的を達成するために、本発明は、半導体基板上に導電層を形成する段階；上記の導電層を各セル単位に限定するようにパターンニングし、導電層パターンを形成する段階；上記のパターン形成された導電層上部に原子層蒸着 (ALD) 方式でアルミニウムナイトライド (AlN) 層を形成する段階；上記のアルミニウムナイトライド層上部にアルミニウムオキシナイトライド (AlON) 層を形成する段階；および上記のアルミニウムオキシナイトライド層上部に導電層を形成する段階を具備することを特徴とするDRAMキャパシタ製造方法を提供する。

【0017】本発明のその他の目的を達成するために、本発明は、電荷蓄積用キャパシタを持つDRAM装置において、半導体基板上に形成されたスタックポリシリコン電極と；上記スタックポリシリコン電極上部に形成さ

れた酸化アルミニウム層とアルミニウムナイトライド層の複合誘電体膜と；上記複合誘電体膜上部に形成されたプレートポリシリコン電極で構成されることを特徴とするDRAMキャパシタを提供する。

【0018】本発明のその他の目的を達成する為に、本発明は、電荷蓄積用キャパシタを持つDRAM装置において、半導体基板上に形成されたスタックポリシリコン電極と；上記のスタックポリシリコン電極上部に形成されたアルミニウムナイトライド層と；上記のアルミニウムナイトライド層上部に形成されたアルミニウムオキシナイトライド (AlON) 層と；上記のアルミニウムオキシナイトライド層上部に形成されたプレート (plate) ポリシリコン電極で構成されることを特徴とするDRAMキャパシタを提供する。

【0019】

【発明の実施の形態】以下、本発明の電荷蓄積用DRAMキャパシタ及びその製造方法の好適な実施例を、添付図面を参照して詳細に説明する。

【0020】図2～4は、本発明の第1実施例に従い、DRAMキャパシタの製造方法を表す工程順序図である。図2を参照すると、まず半導体基板100上にシリコン酸化膜 (SiO_2) 101が形成されており、電荷蓄積用キャパシタを構成する下部電極として蓄積用ポリシリコン (storage polysilicon) 102が形成されている。そして、上記の蓄積用ポリシリコン102及び絶縁膜101の上部に、アルミナ (Al_2O_3) 103膜が形成されている。

【0021】実施例として、上記のアルミナ層103は、原子層蒸着 (atomic layer deposition; ALD) 方式で形成することができる。アルミナ103をDRAMキャパシタの誘電膜に使用するためには、ステップカバレッジが良好で誘電体薄膜内に残存する不純物が少なくなければならない。ところが、一般的に半導体業界で通用しているスパッターリング (sputtering) 方式で、上記のアルミナ膜103を形成する場合、誘電体薄膜内に残存する不純物は減少させることができるが、ステップカバレッジが不良で、3次元構造の誘電体薄膜に使用するには不適合である。また、上記アルミナ薄膜103を形成するための実施例として、化学気相蒸着 (chemical vapor deposition; CVD) 方式を適用できるが、前述のスパッターリング方式とは反対に、ステップカバレッジは優秀であるが、薄膜内の不純物の除去が難しい問題点がある。したがって、本発明の実施例のアルミナ薄膜103は、原子層蒸着 (ALD) 方式で形成することができる。このように、原子層蒸着方式で形成されたアルミナ膜は、非結晶質 (amorphous) 状態で、ステップカバレッジは100%に近づく程度に非常に良好である。

【0022】図3は、原子層蒸着方式で形成されたアルミナ膜上部にアルミニウムナイトライド層104を形成

する工程段階を表わす断面図であって、アルミナ層103とアルミニウムナイトライド層104を原子層蒸着方式でイン・シチュー (in-situ) するように反復的に形成することによって、 $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を形成する。

【0023】図4は、プレートポリシリコン層105の形成工程を図示するもので、原子層蒸着方式で形成された $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜115上部に、ドーピングされたポリシリコンを蒸着することで、DRAMキャパシタの上部電極105を形成する。

【0024】図5は、図4の点線円180部位の拡大図で、アルミナ膜 (Al_2O_3) 103とアルミニウムナイトライド膜 (AlN) 104を原子層蒸着 (ALD) 方式により、一原子層 (one atomic layer) の大きさに交代で蒸着させることで、形成された $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜の断面を表わす拡大図である。

【0025】本発明の実施例として、アルミナ膜103とアルミニウムナイトライド膜104を各々1.1Åずつ、原子層蒸着 (ALD) 方式で数回反復して形成することにより、数十Åの厚さの $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を形成することができる。

【0026】図6は、本発明の実施例として、原子層蒸着 (atomic layer deposition; ALD) 方式において、 $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を形成するためのソースガス流入順序を表わす図面である。図6を参照し、 $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を原子層蒸着方式で形成するためのガスパルシング (gas pulsing) 蒸着順序を説明すると、下記の通りである。

【0027】すなわち、チャンバーの圧力を一定に維持するために、常に、流入される雰囲気ガス503以外に、選定された (pre-determined) ソースガス流入順序により、トリメチルアルミニウム (TMA, trimethyl aluminum) ソース500と H_2O ソース501、 NH_3 ソース502は、一定時間の間ガスパルス形態で流入され、それぞれのソースガス流入の中間にバージ (purge or purging) 用不活性ガス504が流入される。

【0028】本発明の実施例として、雰囲気ガス及び、バージガスでアルゴン (argon) (Ar)、窒素 (N_2) またはヘリウム (He) 中のどれか一つを使用することができる。

【0029】図6を参照すると、TMAソース→バージ→ H_2O ソース→バージ→TMAソース→バージ→ NH_3 ソース→バージの8段階が、順次パルス形態でガスが流入する過程が、単位サイクルとして定義され、蒸着する $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜の厚さは、ガスパルシングする単位サイクル505の反復回数によって、正確に調節することができる。

【0030】すなわち、一度のガスパルシングサイクルを終了する度ごとに、 $\text{Al}_2\text{O}_3/\text{AlN}$ の複合誘電体膜は2.2Å (1.1Å厚の Al_2O_3 と1.1Å厚のAl

N) の厚さに蒸着される。ガスパルシングサイクルを反復すれば、その反復回数により、複合誘電体薄膜の厚さが比例的に増加するようになるので、望みの厚さの薄膜蒸着が可能となる。

【0031】本発明に従う実施例として、原子層蒸着方式で $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を形成するためのソースガスであってTMA (trimethyl aluminum) ソースの代りにアルミニウムクロライド (aluminum chloride, AlCl_3) ソースを使用することができる。この時、原子層蒸着のためのガス流入段階は、アルミニウムクロライドソース→バージ→ H_2O ソース→バージ→アルミニウムクロライドソース→バージ→ NH_3 ソース→バージの8段階を基本単位とし、複合誘電体薄膜を形成する。

【0032】また、TMAソースを利用して上記の複合誘電体薄膜を形成する場合、300~450℃の蒸着温度で最適の特性を持つ薄膜を得ることができ、TMAソースの代りにアルミニウムクロライドソースを使用する場合には、450~600℃の蒸着温度を維持することにより、良質の複合誘電体薄膜を得ることができる。

【0033】一方、本発明の第1実施例によって形成されたアルミナ薄膜は、非結晶質 (amorphous) 状態で、ステップカバレッジは100%に近い値を持つ。実施例として、前述した方法で形成されたアルミナを酸素雰囲気ガスでアニリング (annealing) 工程を進行することで、薄膜の密度を増加させることができる。その一実施例として、本発明の第1実施例によって形成されたアルミナ薄膜を800℃で酸素アニリングを30分間実施した場合、薄膜の屈折率を波長633.0nmの光に対し1.640から1.692に増加させることができる。したがって、原子層蒸着方式で形成したアルミナ薄膜は、後続のアニリング工程の最適化を通じ、誘電膜の厚さの減少、誘電率増加及び、等価シリコン酸化膜の厚さ (T_{ox}) を最小化することが期待できる。

【0034】アルミナ薄膜は、シリコン酸化膜 (SiO_2) とシリコン窒化膜 (SiN) の複合誘電体膜に比べ、誘電率が大きい反面、シリコン酸化膜と同じフェウラー・ノードハイム (Fowler-Nordheim) タイプのトンネル (漏洩) 電流メカニズムに起因する絶縁膜破壊 (dielectric breakdown) 特性が脆弱になりやすい。したがって、本発明の第1実施例に従い $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜を採用したDRAMキャパシタ装置は、原子層蒸着方式で蒸着しやすく、プール・フレンケル (Pool-Frenkel) トンネル漏洩電流メカニズムが見られるアルミニウムナイトライド (AlN) 物質をアルミナ (Al_2O_3) と交代で形成させることによって、高電界での絶縁膜破壊特性を改善させることができる。

【0035】図7は、本発明の第2実施例に伴うDRAMキャパシタの断面図である。図7を参照すると、半導体基板100上に形成されたシリコン酸化膜101及

び、半導体基板100上部に半球模様のグレーン(hemispherical grain; 以下“HSG”という)を持つ下部電極用スタック(stacked)蓄積用ポリシリコン電極102が形成されている。

【0036】続いて、上記のスタック蓄積用ポリシリコン電極102上部に、アルミナ薄膜とアルミニウムナイトライド薄膜を、図6に表わすガスパルシング方式で、原子層蒸着をコントロールすることにより、半球模様の $\text{Al}_2\text{O}_3/\text{AlN}$ 複合誘電体薄膜が形成される。

【0037】図8は、本発明の第3実施例に従うDRAMキャパシタの断面図である。図8を参照すると、半導体基板100上に形成されたスタックポリシリコン下部電極102は、表面積を増大させる為に、円筒形(cylindrical)模様をしており、上記の円筒形スタックポリシリコン下部電極102上部に、前述の原子層蒸着方式で $\text{Al}_2\text{O}_3/\text{AlN}$ の複合誘電体薄膜を形成させることができる。図7及び図8の点線円180部位に対する拡大図は、図5を参照のこと。

【0038】図9～11は、本発明の第4実施例に従うDRAMキャパシタの形成方法を表わす工程順序図である。図9を参照すると、半導体基板100上にシリコン酸化膜101が形成されており、電荷蓄積用キャパシタを構成する下部電極として蓄積用ポリシリコン102が形成されている。そして、上記の蓄積用ポリシリコン102及び絶縁膜101上部に、アルミニウムナイトライド200が形成されている。実施例として、上記のアルミニウムナイトライド層200は、原子層蒸着方式で形成することができる。

【0039】図10を参照すると、原子層蒸着方式で蒸着されたアルミニウムナイトライド層200を酸素(O_2)雰囲気ガス下で酸化させることにより、上記のアルミニウムナイトライド薄膜200上部に、アルミニウムオキシナイトライド(AlON)201を形成する。

【0040】これと同様に、原子層蒸着方式で形成されたアルミニウムナイトライド200上部にアルミニウムオキシナイトライド201を形成し、 AlN/AlON 複合誘電体薄膜を形成し、DRAMキャパシタの電極間誘電物質として使用すれば、アールーフレネルタイプの絶縁膜破壊メカニズムを通じ、破壊電圧特性を改善できるだけでなく、アルミニウムナイトライド層200の酸化工程段階でキャパシタ電極102とアルミニウムナイトライド200間に存在する界面欠陥(interface defect)を改善できる長所がある。

【0041】図11を参照すると、酸化工程段階を経て形成されたアルミニウムオキシナイトライド201上部に、キャパシタ上部電極としてプレートポリシリコン105が形成されている。

【0042】図12は本発明の第5実施例に従うDRAMキャパシタの断面図である。図12を参照すると、半導体基板100上に形成されたシリコン酸化膜101及

び半導体基板上に、HSG蓄積用ポリシリコン下部電極102が形成されている。続いて、上記のHSG蓄積用ポリシリコン電極102上部に原子層蒸着方式でアルミニウムナイトライド層200が形成され、上記のアルミニウムナイトライド薄膜200を酸素雰囲気ガス下で酸化させることにより、半球形態を持つアルミニウムオキシナイトライド201を形成する。したがって、本発明の第5実施例に従うDRAMキャパシタは、HSG形態の AlN/AlON 複合誘電体薄膜を具備する電極間誘電体物質を含むことを特徴とする。

【0043】図13は、本発明の第6実施例に従うDRAMキャパシタの断面図である。図13を参照すると、半導体基板100上にシリコン絶縁膜101が形成されており、円筒形スタック蓄積用ポリシリコン下部電極102が形成されている。続いて、電荷蓄積用キャパシタの誘電物質断面積を増大させるために考案された円筒形スタック蓄積用ポリシリコン電極102の上部に、本発明の第3実施例で詳述した方式により AlN/AlON 複合誘電体膜を形成する。

【0044】本発明の特許請求範囲を構成する付加的な特徴と長所は、以下に詳述する通りである。

【0045】開示された本発明の概念と特定実施例は、本発明と類似する目的を遂行するための他の構造の設計や修正の基本として、即時、使用することを該当技術分野の熟練した者により、認識されなければならない。

【0046】また、本発明で開示された発明概念と実施例が本発明の同一目的を遂行するために他の構造で修正したり、設計するための基礎として該当技術分野の熟練した者により、使用させることができるであろう。

【0047】さらに、該当技術分野の熟練した者によるそのような修正又は、変更された等価構造は、特許請求範囲で記述した発明の思想や範囲を抜け出さない限度内において多様な変化、置換及び、変更を可能とする。

【0048】

【発明の効果】以上のように、本発明の半導体装置及びその製造方法は、従来の高誘電体薄膜を使用したDRAMキャパシタが持つ、工程上の問題点を解決する発明であって、本発明は、原子層蒸着方式を利用し、アルミナとアルミニウムナイトライド($\text{Al}_2\text{O}_3/\text{AlN}$)複合誘電体薄膜又は、アルミニウムナイトライドとアルミニウムオキシナイトライド(AlN/AlON)複合誘電体薄膜を電極間誘電体薄膜で形成することにより、従来の半導体DRAM工程に採用されている導電性ポリシリコンを下部電極として継続して使用しても、電極間誘電体物質との置換等、化学的反應を起こさず、良好なステップカバーリッジを持つ高誘電体薄膜を具備するDRAMキャパシタを具現した。

【0049】また、良好な酸化力と優秀な絶縁特性を持ち、ハイドロカーボンの薄膜内の残留問題を最小化した高誘電率の誘電体薄膜を具備する高集積DRAM電荷蓄

積用キャパシタ及びその製造方法を提供する。

【図面の簡単な説明】

【図1】半導体工程の高集積化に伴いDRAMキャパシタの構造的影響の一例を表わすグラフである。

【図2】本発明の第1実施例に従いDRAMキャパシタの形成方法を表わす工程順序図である。

【図3】本発明の第1実施例に従いDRAMキャパシタの形成方法を表わす工程順序図である。

【図4】本発明の第1実施例に従いDRAMキャパシタの形成方法を表わす工程順序図である。

【図5】図4、図7及び図8の点線円180の部位の一例を表す拡大図である。

【図6】本発明の第1実施例に従う原子層蒸着(ALD)ソースガス流入順序の一例を表わす図面である。

【図7】本発明の第2実施例に従うDRAMキャパシタの一例を示す断面図である。

【図8】本発明の第3実施例に従うDRAMキャパシタの一例を示す断面図である。

【図9】本発明の第4実施例に従うDRAMキャパシタの形成方法を表わす工程順序図である。

【図10】本発明の第4実施例に従うDRAMキャパシタの形成方法を表わす工程順序図である。

【図11】本発明の第4実施例に従うDRAMキャパシタの形成方法を表わす工程順序図である。

【図12】本発明の第5実施例に従うDRAMキャパシタの一例を示す断面図である。

【図13】本発明の第6実施例に従うDRAMキャパシタの一例を示す断面図である。

【符号の説明】

100：半導体基板

101：シリコン酸化膜

102：蓄積ポリシリコン下部電極

103：アルミナ(Al_2O_3)薄膜

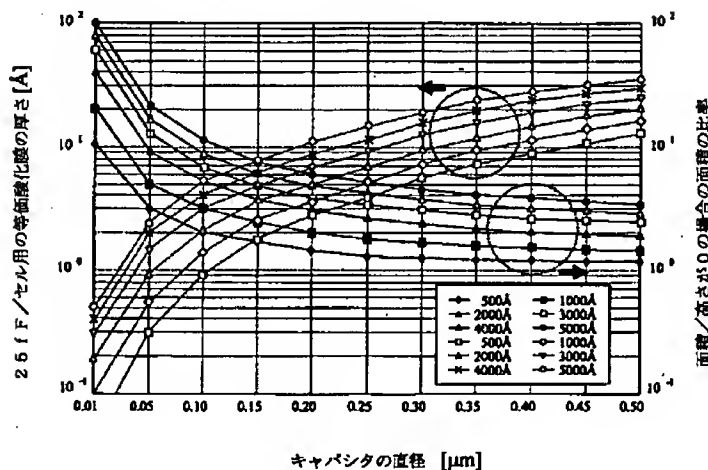
104、200：アルミニウムナイトライド(AlN)薄膜

105、202：プレート(plate)ポリシリコン上部電極

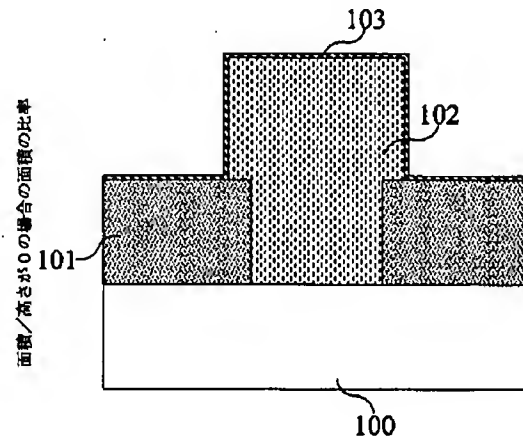
115、125、135： Al_2O_3/AlN 複合誘電体膜

201：アルミニウムオキシナイトライド($AlON$)

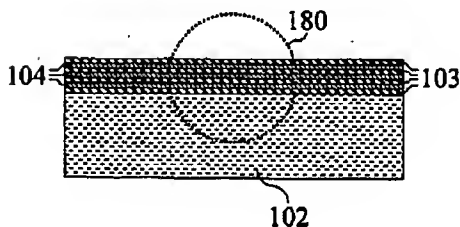
【図1】



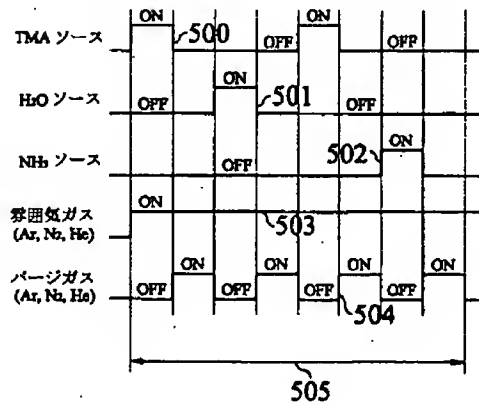
【図2】



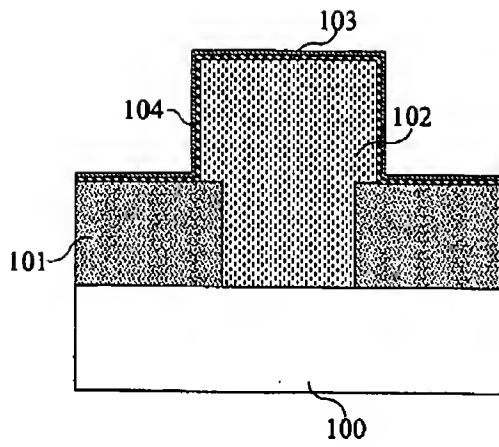
【図5】



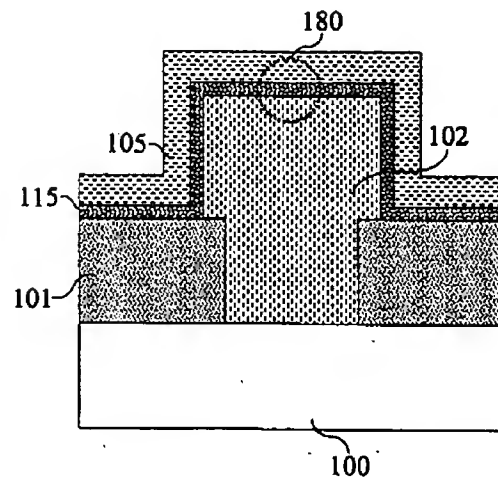
【図6】



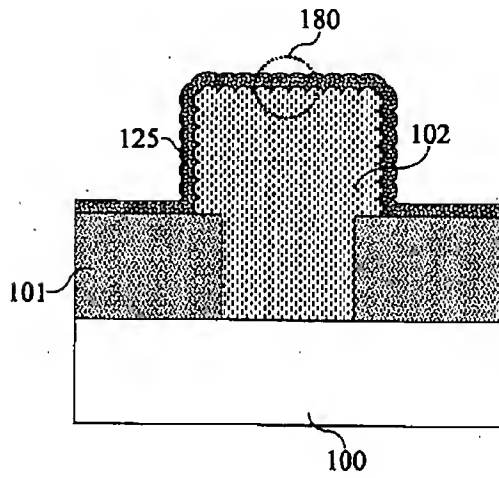
【図3】



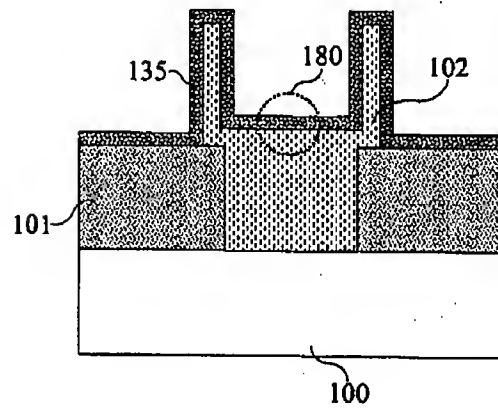
【図4】



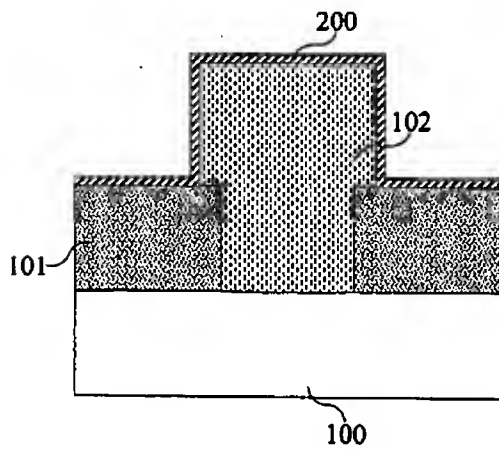
【図7】



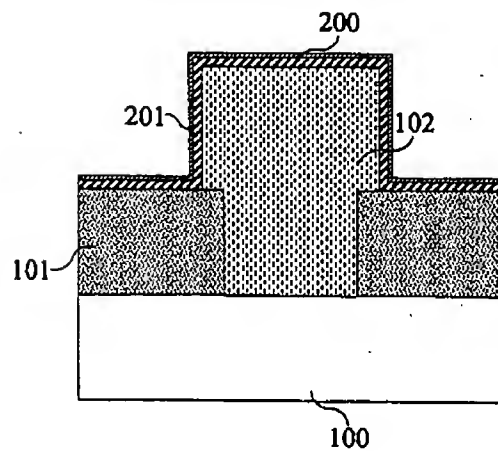
【図8】



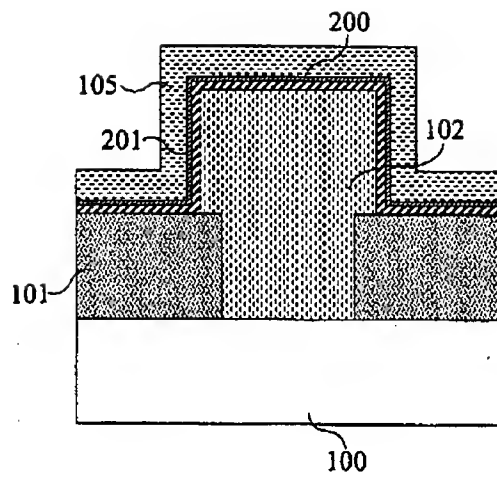
【図9】



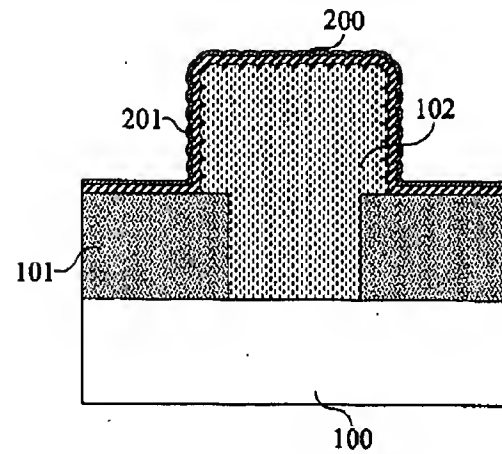
【図10】



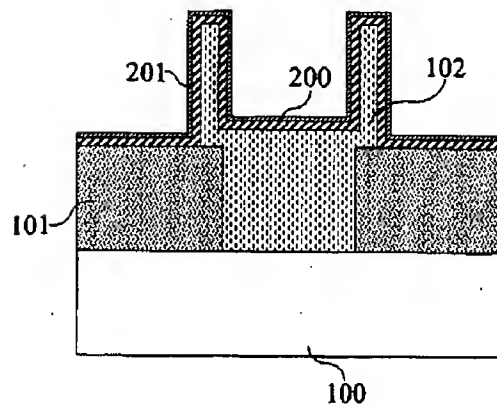
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 李相▲みん▼
大韓民国ソウル特別市江南区新沙洞524-
28番地

(72)発明者 崔城済
大韓民国ソウル特別市江南区対峙2洞ミド
アパート108棟202号

Fターム(参考) 5F083 AD24 AD42 AD62 HA10 JA01

THIS PAGE BLANK (USPTO)